

一种适用于高速接口电路的新型均衡电路

周振宇, 王忆文

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 本文提出了一种新型高速均衡电路. 在传统源极负反馈均衡滤波结构的基础上改进电路结构, 使用有源电感及对称负载结构改善了电路性能, 避免了使用片上电感, 优化了电路结构, 节省了芯片面积, 同时缓解了传统均衡电路的速度瓶颈. 经仿真验证, 该均衡器电路高频补偿增益达到 17.2 dB, 高低频增益比达到 5.24, 信号速率达到 5 Gb/s 时能完整接收信号, 实现均衡效果. 该电路结构简单, 适用于各种高速信号接口电路. 该电路采用 0.13 μm CMOS 工艺实现.

关键词: 均衡器; 有源电感; 对称负载; 源极负反馈

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)03-0031-04

A Novel Equalizer Circuit for High-Speed Interface Circuit

ZHOU Zhen-yu, WANG Yi-wen

(State Key Laboratory of Electronic Thin Films and Integrated Device,
University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: This paper presents a new type of high-speed equalization circuit. On the basis of the traditional source degeneration equalization filter, a new equalization circuit structure is proposed. The circuit performance is greatly improved with the advantages of active inductor and symmetric load structure. Without using on-chip inductors, the new structure optimizes the circuit, saves chip area, while alleviates the speed bottleneck of the traditional equalization circuit. Judging by simulation results, the high frequency compensation gain of the equalizer circuit is up to 17.2 dB, meanwhile, the ratio of high frequency to low frequency is 5.24. The circuit operates functionally when signal speed rates up to 5 Gbit/s. The circuit topology is simple, and applicable to a variety of high-speed interface circuit. This chip is realized in 0.13 μm CMOS process.

Key words: equalizer; active inductor; symmetry-resistance; source degeneration

1 引言

传输线与印制 PCB 背板损耗已成为限制高速信号传输速度的主要因素^[1]. 在信号传输过程中, 趋肤效应和介电损耗对信号高频分量的影响尤其严重. 同时, 信号的高频衰减会引起强烈的码间干扰 (ISI), 对后续时钟数据的恢复增加了难度, 导致更高的误码率. 为了改善信号传输效果, 降低整个信号传输系统的误码率, 通常要对信号高频成分进行补偿, 其中最典型的方法有预加重和均衡器技术.

本文提出一种新型均衡滤波电路结构, 在传统源级负反馈均衡器的基础上运用有源电感和对称负载技术, 优化电路均衡效果.

2 均衡技术

从频域角度看, 电缆或者传输线有低通特性, 信号经过传输线时, 高频分量幅度衰减, 衰减和损耗的程度与频率成正比. 这样信号就有可能丢失, 出现严重的码间干扰, 使得系统误码率增大. 因此, 为了降低整个系统的误码率, 需要采用均衡技术对信号进

收稿日期: 2012-06-22; 修回日期: 2012-07-25

基金项目: 中央高校基本科研基金(A03007023301022)

行高频补偿。

对采用均衡技术的位置不同,可以分为前级均衡与后级均衡。前级均衡技术代表有预加重技术,人为地加重(提升)发射机输入调制信号的高频分量;后级均衡是在输入端对信号进行滤波,对高低频信号有选择的以不同增益放大,以抵消在传输线上衰减的部分,其各自幅频特性如图 1 所示^[1-2]。预加重技术通常通过输出信号相位移动后叠加产生效果,从图 1(a)中可以看出,接收端信号实际是整体衰减的;在接收端设置均衡器是对衰减后的信号进行放大,使后级接收到的信号趋近于未衰减,图 1(b)所示。本文接收器电路中采用的均衡器为后级均衡。

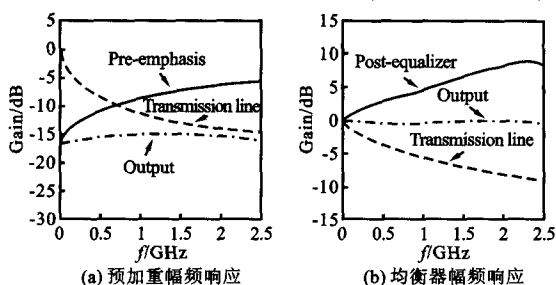


图 1 幅频响应特征

3 传统源极负反馈均衡器

传统均衡器结构如图 2(a)所示^[3],其中 M_5, M_6 为 MOS 电容, M_7 管工作在深线性区与 R_M 并联,作为一个可调电阻,当控制电压不同时,可调节该管阻抗,以调节不同的均衡度。半边等效电路(图 2(b))分析,该电路传输函数为:

$$H(s) = \frac{1 + (R_M/2)C_1s}{[1 + g_m(R_M/2)] + (R_M/2)C_1s} \cdot \frac{-g_mR_L}{1 + R_LC_Ls} \quad (1)$$

从公式可以看出,该传输函数中含有两个极点一个零点,其中主极点零点分别为位于 $-(2 + 2g_mR_M)/2C_1R_M$ 和 $-2/C_1R_M$ 。零点在极点之前,通过调节 R_M 阻值与 MOS 电容大小,可调节该零点与其他极点相对位置,通过零点的作用对高频信号进行补偿,使电路幅频特性曲线在平带后跟随一段增益放大区域^[4]。对于这种结构来说,电阻 R_M 为低频通路,而电容 C_1 为高频通路,采用这一结构无需增加高低频通路求和电路,实现简单且不会带来高低频通路不匹配的影响^[5]。然而,传统均衡器由于只使用一个补偿零点产生均衡效果,均衡效果有限。同时,使用电阻负载在工艺实现中会带来更大误差,这对电路性能及均衡效果有很多不利因素。

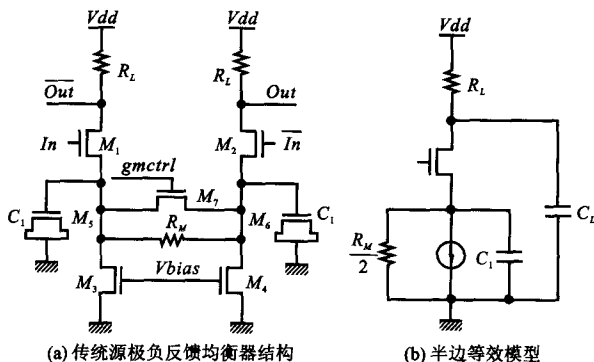


图 2 传统均衡器结构及分析

4 改进型源极负反馈均衡器

为了改进传统源极负反馈均衡器效果不理想的情况,一般采用片上电感的方式,通过增加零点个数提高均衡效果和系统带宽^[3]。但片上电感成本较高,同时占用较大的芯片面积,不便于集成。为了同时获得更好的噪声抑制特性和更高的带宽,本电路同时运用了对称负载和有源电感结构,得到基于源极负反馈的新型均衡器结构,如图 3(a)所示。

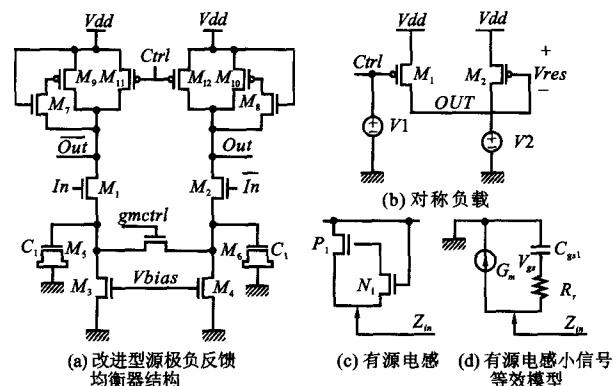


图 3 改进型均衡器结构及分析

4.1 对称负载

对称负载的概念最早由 Maneatis 提出^[6],结构如图 3(b)所示,其中 M_2 为二极管连接的 PMOS, M_1 栅极电压有 Ctrl 端控制, M_1, M_2 尺寸大小相同。当 Ctrl 端电压一定时,设置该负载网络的输出端电压 V_2 为一定值,在该电压下, M_1 正好进入饱和区,而此时 M_2 还未开启,此时为该负载阻值最大状态。当 V_2 增大时 M_1 进入线性区,阻抗减小,当 V_2 减小时, M_2 逐渐开启,整个负载阻抗减小。该负载结构相对于固定点成轴对称,在实际应用时,设置该电压为差分信号共模电平,这对全差分电路的抗噪性能会有显著的提高。

4.2 有源电感

有源电感的结构及小信号等效模型如图 3(c)(d)所示,其中 N_1 始终工作在深线性区,可视为一固定电阻 R_L 。 P_1 工作在饱和区,由小信号等效模型推

导得出, 该负载结构传输特性为

$$Z_{in} = \frac{1 + sC_{gs}R_r}{G_m + sC_{gs}}$$

(2)

从公式可以看出, 该结构传输函数中含有一个零点, 通过调节 R_r 即 N_1 的宽长比, 可调节在高频频域获得增益峰值, 调节该峰值大小从而达到优化均衡器均衡效果的目的^[7].

观察图 3(a) 左半边电路, M_9, M_{11} 为作为对称负载的两管, 宽长比设计为相等, 在版图设计中也设置为完全相同. M_7 作为有源电感中处于深线性区的负载管. 由于 M_7 控制 M_9 管的栅极, 因此在实际应用中流过 M_7 的电流很小, 使 M_7 始终工作在深线性区. 根据有源电感的传输函数, 调节 R_r 的阻值和跨导 G_m 的大小可调节引入的零极点相对位置, 在电路设计过程中, 折中考虑速度, 带宽和均衡效果等因素, 设置 M_7 的宽长比约为 M_9 和 M_{11} 的 1/10. 采用这种有源电感的结构避免了使用片上电感, 对芯片成本的降低起到关键性作用.

对于公式(1), 改进型源极负反馈均衡器的传输函数为

$$H(s) = \frac{1 + (R_M/2)C_1s}{[1 + g_m(R_M/2)] + (R_M/2)C_1s} \cdot \frac{1 + R_rC_{gs}s}{g_m^* + C_{gs} + C_Ls(1 + R_rC_{gs}s)}$$

(3)

即将式(1)中负载引入的极点修改为有源电感负载网络, 其中 R_r 代表有源电感等效电阻, C_{gs} 为式(2)中 M_2 栅极电容, g_m^* 为 M_2 跨导. 引入系统传输函数的零点为 $-1/R_rC_{gs}$, 调节该零点位置, 补偿和优化电路均衡效果.

5 仿真验证及版图

电路使用两级均衡器提高均衡效果, 后级采用交叉耦合差分接收器提高整个系统增益. 如图 4 所示, 两级级联后均衡器高频补偿增益达到 17.2dB.

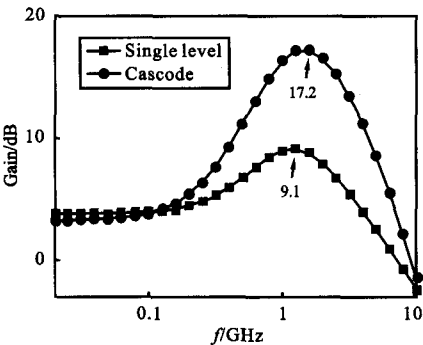


图 4 改进型源极负反馈均衡器幅频特性曲线

全芯片电路结构如图 5 所示. 电路使用两级均衡器提高均衡效果, 输入信号为高速差分信号, 经传输线模型衰减后进入均衡器, 后级输入限幅比较器将差分信号转换为单端信号. 仿真采用 Hspice, 信号速率 5Gbit/s, 共模电平 1.25V, 差分信号摆幅 600mV, 上升下降延时各 50ps.

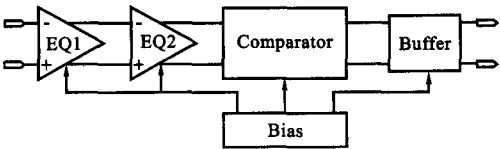


图 5 仿真电路结构

信号经传输线模型衰减后进入接收器, 仿真结果如图 6 所示. 图 6(a) 为经传输线衰减后信号, (b) 为经过两级均衡器后输出信号, (c) 为均衡器输出经限幅放大器后输出信号. 从波形可以看出该电路在信号频率达到 5Gbit/s 时仍能很好还原数据波形, 并观察到明显的均衡效果. 其他仿真数据见表 1.

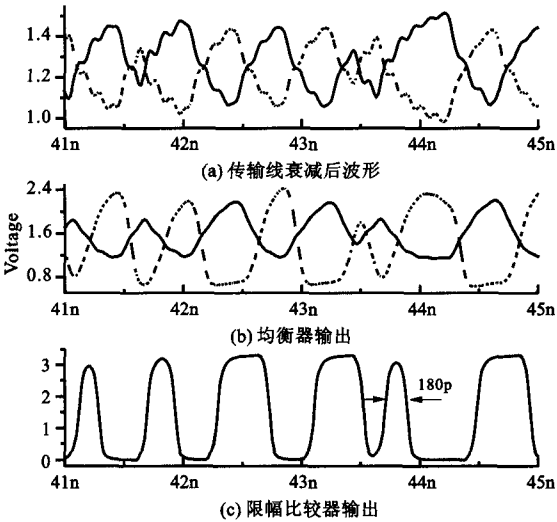


图 6 仿真结果

表 1 仿真数据

电路参数	
工艺	0.13μm CMOS
数据速率(Gbit/s)	5
电源电压(V)	3.3
芯片功耗(mW)	34.7
单位数据能耗(pJ/bit)	6.94
芯片面积(mm²)	0.26
均衡器版图面积(mm²)	0.068

该电路最后使用 0.13μm CMOS 工艺实现, 芯片面积约为 0.26mm², 电路包括两级级联的均衡器, 交叉耦合接比较器作为限幅放大器及后级驱动电路, 后仿芯片功耗为 34.7mW, 芯片版图概貌如图 7 所示.

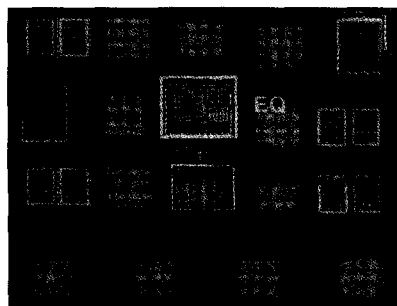


图7 芯片版图

6 结束语

文中使用 $0.13\mu\text{m}$ CMOS 实现了一款可以补偿高频信号传输线损耗的新型均衡器结构. 仿真结果验证得到, 该电路可以接收速率高达 5Gbit/s 数据信号, 并对传输线损耗造成的高频衰减提供了有效的补偿. 在设计中, 使用了对称负载和有源电感等技术, 避免了使用片上电感. 对电路的噪声抑制和均衡效果起到了明显的促进. 电路仿真使用 Hspice, 功耗仿真结果满足设计需求.

参考文献:

- [1] Yoshiharu Kudoh, Muneo Fukaishi, Masayuki Mizuno. A $0.13\mu\text{m}$ CMOS 5-Gb/s 10-m 28AWG cable transceiver with no - feedback - loop continuous - time post - equalizer[J]. IEEE Journal of Solid - State Circuit, 2003, 38(5): 741-746.
- [2] Jin Liu, Xiaofeng Lin. Equalization in high - speed

communication systems[J]. IEEE Circuits And Systems Magazine, 2004, 4(2): 4-17.

- [3] Jri Lee. A 20-Gb/s a adaptive equalizer in $0.13\text{-}\mu\text{m}$ CMOS technology[J]. IEEE Journal of Solid - State Circuit, 2006, 41(9): 2058-2066.
- [4] Yasumoto Tomita, Masaya Kibune, Junji Ogawa, et al. A 10-Gb/s receiver with series equalizer and on-chip ISI monitor in $0.11\text{-}\mu\text{m}$ CMOS[J]. IEEE Journal of Solid - State Circuit, 2005, 40(4): 986-993.
- [5] Jong - Sang Choi, Moon - Sang Hwang, Deog - Kyoon Jeong. A $0.18\text{-}\mu\text{m}$ CMOS 3.5-Gb/s continuous-time adaptive cable equalizer using enhanced low - frequency gain control method[J]. IEEE Journal of Solid - State Circuit, 2004, 39(3): 419-425.
- [6] John G Maneatis, Mark A Horowitz. Precise delay generation using coupled oscillators[J]. IEEE Journal of Solid - State Circuit, 1993, 28(12): 1273-1282.
- [7] Zhenyu Zhao, Jianjun Wang, Shaoqing Li, et al. A 2.5-Gb/s $0.13\mu\text{m}$ CMOS current mode logic transceiver with preemphasis and equalization[C]// ASIC, 2007. ASICON '07. 7th International Conference. China: Guilin, 2007.

作者简介:

周振宇 男, (1987-), 硕士. 研究方向为模拟数字混合信号集成电路.

王忆文 男, (1966-), 教授. 研究方向为大规模集成电路与系统.

(上接第 30 页)

- [3] FengP J, Ge L D. Adaptive DBSCAN - based algorithm for constellation reconstruction and modulation identification[C]// Proceedings of Radio Science Conference 2004. Beijing: Pub House of Electronics Industry, 2004: 177-180.
- [4] Yue S H, Li P, Guo J D, et al. A statistical information-based clustering approach in distance space[J]. Journal of Zhejiang University Science, 2005, 6A(1): 71-78.
- [5] 许虎寅, 王治和. 一种改进的基于密度的聚类算法[J]. 微电子学与计算机, 2012, 29(2): 44-47.
- [6] 夏鲁宁, 荆继武. SA-DBSCAN: 一种自适应基于密度聚类算法[J]. 中国科学院研究生院报, 2009, 26(4):

530-537.

- [7] 谭颖, 胡瑞飞, 殷国富. 多密度阈值的 DBSCAN 改进算法[J]. 计算机应用, 2008, 28(3): 745-748.

作者简介:

陈刚 (1977-), 硕士, 讲师. 研究方向为数据挖掘、人工智能.

刘秉权 (1970-), 博士, 副教授. 研究方向为自然语言处理、人工智能.

吴岩女, (1965-), 博士, 副教授. 研究方向为自然语言处理、人工智能.